**Bài tập lớn 1:** Sử dụng toolchain để biên dịch hệ điều hành Linux cho RISC-V QEMU Emulator theo tài liệu tham khảo:

https://riscv.org/wp-content/uploads/2015/02/riscv-software-stack-tutorial-hpca2015.pdf

và

https://risc-v-getting-started-guide.readthedocs.io/en/latest/linux-introduction.html

**Bài tập lớn 2:** Sử dụng toolchain để biên dịch hệ điều hành Zephyr cho RISC-V QEMU Emulator theo tài liệu tham khảo

https://risc-v-getting-started-guide.readthedocs.io/en/latest/zephyr-introduction.html

**Bài tập lớn 3:** Đọc và trình bày về bộ nhớ theo tài liệu tham khảo:

What Every Programmer Should Know About Memory

và mô phỏng hiệu năng của cache dựa trên tài liệu tham khảo

https://github.com/mortbopet/Ripes/wiki/Cache-Simulation

viết chương trình tính ma trận, bộ lọc trung vị cho ảnh và khảo sát cấu trúc chương trình tới hiệu năng cache.

**Bài tập lớn 4:** Mô phỏng đường dữ liệu bộ xử lý RISC-V cho các chương trình viết bằng ngôn ngữ C

Tài liệu tham khảo:

https://github.com/mortbopet/Ripes/wiki/Building-and-Executing-C-programs-with-Ripes

https://github.com/mortbopet/Ripes/wiki/Ripes-Introduction

**Bài tập lớn 5:** Thiết kế bộ xử lý RISC-V pipeline bằng ngôn ngữ Verilog

Tham khảo tài liệu: https://github.com/ultraembedded/riscv

**Bài tập lớn 6:** Thiết kế bộ điều khiển cache cho bộ xử lý RISC-V pipeline bằng ngôn ngữ Verilog

**Bài tập lớn 7:** Đọc và trình bày về kiến trúc bộ xử lý đồ họa GPU. Minh họa việc lập trình bộ xử lý đồ họa GPU để triển khai bộ lọc trung vị cho ảnh và chương trình tính ma trận. Khảo sát hiệu năng với kích thược bộ lọc, kích thước ảnh và kích thước ma trận khác nhau.

Tài liệu tham khảo: Phục lục B, sách “Computer Organization and Design RISC-V Edition The Hardware Software Interface” by David A. Patterson, John L. Hennessy

**Bài tập lớn 8:** Phân tích và thực thi cấu trúc Control Unit dựa trên ROM và PLA, tham khảo phụ lục C, sách “Computer Organization and Design RISC-V Edition The Hardware Software Interface” by David A. Patterson, John L. Hennessy, phần: Mapping Control to Hardware

**Bài tập lớn 9 (Ưu tiên cho các bạn nữ)**: Tìm hiểu về cấu trúc xử lý song song, so sánh phân loại các cấu trúc SISD, MIMD, SIMD, SPMD, and Vector tương ứng với bộ xử lý RISC V. Hiểu về Multithread, multicore and share memory.

Tham khảo Chương 6 trang 518 sách “Computer Organization and Design RISC-V Edition The Hardware Software Interface” by David A. Patterson, John L. Hennessy.

**Yêu cầu:**

Mỗi nhóm chọn 1 trong 9 chủ đề bắt buộc

Số lượng SV tối đa: 3 SV /nhóm

Các nhóm làm báo cáo độc lập: Báo cáo theo template đồ án tốt nghiệp của viện (thay tên bằng đồ án môn học Kiến trúc máy tính) , source code / link source được public trên github.

Thời gian nộp : 29/6/2021